

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
25 août 2005 (25.08.2005)

PCT

(10) Numéro de publication internationale
WO 2005/078926 A1(51) Classification internationale des brevets⁷ : H03K 3/84(21) Numéro de la demande internationale :
PCT/FR2005/050058(22) Date de dépôt international :
31 janvier 2005 (31.01.2005)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0450170 30 janvier 2004 (30.01.2004) FR(71) Déposant (pour tous les États désignés sauf US) :
CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, Rue Michel Ange, F-75794 Paris Cedex 16 (FR).(72) Inventeur; et
(75) Inventeur/Déposant (pour US seulement) : AUBIN, Guy Georges [FR/FR]; Escalier 3, 40, rue Jean Rey, F-78220 Viroflay (FR).

(74) Mandataire : CABINET MICHEL DE BEAUMONT, Michel; 1, rue Champollion, F-38000 Grenoble (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

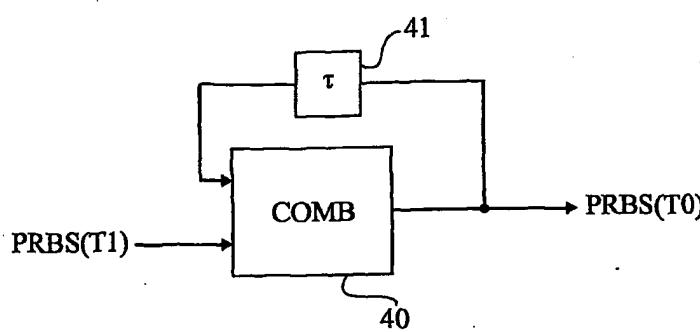
Publiée :

- avec rapport de recherche internationale
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(54) Title: HIGH-RATE RANDOM BITSTREAM GENERATION

(54) Titre : GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT



flux de bits d'entrée pseudo aléatoire (PRBS(T_1)), généré à une première fréquence d'horloge relativement basse, en un flux de bits de sortie identique (PRBS(T_0)) à une deuxième fréquence d'horloge élevée, consistant à prélever le flux de bits de sortie, à retarder le flux prélevé d'une valeur (T) prédéterminée, et à combiner le flux retardé avec le flux de bits d'entrée.

(57) Abstract: A method and a circuit for accelerating a pseudo-random input bitstream (PRBS(T_1)) generated at a first low clock frequency into an identical output bitstream (PRBS(T_0)) at a second high clock frequency by sampling the output bitstream, delaying the sampled stream by a predetermined value (t) and combining the delayed stream with the input bitstream.

(57) Abrégé : L'invention concerne un procédé et un circuit d'accélération d'un

GENERATION D'UN FLUX DE BITS ALÉATOIRE A HAUT DEBIT

La présente invention concerne la génération aléatoire d'un flux de bits. L'invention concerne plus particulièrement la génération d'un flux à haut débit (supérieur à 10 gigabits/s) et s'applique plus particulièrement aux transmissions à haut débit sur des liaisons ou réseaux de communication quelconques.

La figure 1 illustre, de façon très schématique et sous forme de blocs, un premier exemple d'application de la présente invention. Il s'agit d'un test d'une liaison 1 de communication entre un émetteur 2 (Tx) et un récepteur 3 (Rx). La liaison peut être une liaison électrique, optique ou aérienne. Les normes de communication prévoient des tests normalisés de simulation de trafic sur les liaisons. Ces tests s'effectuent au moyen d'un appareil 4 (TEST-RNG) spécifique, raccordé à la place de l'émetteur 2. Cet appareil de test émet une séquence pseudo aléatoire PRBS sur la ligne de transmission. Cette séquence est généralement de très haut débit. Dans l'application au test, on peut également tester directement un dispositif (par exemple, le récepteur ou un récupérateur d'horloge de la liaison) électrique, optique, hertzien, opto-électrique ou électro-optique. Les séquences pseudo-aléatoires sont fixées, par exemple, par une norme ITQ 0.151.

La figure 2 illustre, par une vue très schématique et sous forme de blocs, un deuxième exemple d'application de l'invention. Il s'agit de brouiller ou coder une transmission, ou de moyenner les caractéristiques des signaux afin de masquer 5 les données émises ou d'équilibrer le trafic sur une liaison.

La figure 2 représente un émetteur 2 (Tx) connecté à une liaison 1. L'émetteur 2 comprend un circuit numérique 21 (μ Tx) de traitement de données D en vue de leur émission après modulation éventuelle (modulateur 22) sur une porteuse OL provenant 10 d'un oscillateur local, et passage dans un amplificateur d'émission 23 (LNA). Un brouilleur ou codeur 24 est prévu en sortie du circuit 21 avant modulation par l'élément 22. Ce brouilleur (SCRAMB-RNG) a pour objet de modifier, à l'aide d'une séquence pseudo aléatoire, les caractéristiques des données 15 émises.

L'invention s'applique également dans le cas d'une transmission optique. Par exemple, un brouilleur peut être intercalé en amont de la conversion électro-optique, l'oscillateur local étant une source lumineuse, par exemple, un laser.

Des générateurs pseudo aléatoires sont également utilisés 20 dans des applications de code correcteur d'erreurs, de transmissions de type "accès multiple par répartition de code" (CDMA), de cryptographie, etc.

La figure 3 représente un exemple classique de générateur 25 d'une séquence pseudo aléatoire (PRBS) du type de ceux utilisés dans les applications précitées. Un tel générateur est basé sur l'utilisation de registres à décalage bouclés sur eux-mêmes. Plusieurs bascules 30 (B₁, B_i, B_n) sont associées en série, c'est-à-dire que la sortie Q de la bascule B₁ est reliée 30 à l'entrée de donnée D de la deuxième bascule et ainsi de suite jusqu'à ce que la sortie Q de l'avant dernière bascule soit reliée à l'entrée D de la dernière bascules. La sortie de la dernière bascule B_n est rebouclée, par l'intermédiaire d'une porte de type OU-Exclusif 31, sur l'entrée D de la première

bascule. La deuxième entrée de la porte 31 est reliée en sortie d'une bascule intermédiaire Bi de l'association en série.

Le nombre de bascules dépend de la puissance souhaitée pour la séquence pseudo aléatoire, c'est-à-dire le nombre de 5 bits sur lequel la probabilité d'obtenir un 0 ou un 1 est respectée. Plus la séquence est longue, donc plus le nombre n de bascules est important, meilleur est l'aléa de la séquence PRBS générée. En fait, la longueur de la séquence est égale à 2^n-1 . Par exemple, en utilisant 7 bascules, on obtient une séquence de 10 127 bits.

Le choix de la position de la bascule intermédiaire Bi dans l'association en série est lié à l'obtention d'un polynôme irréductible de degré n et dépend donc du nombre d'étages. Les séquences de bits générées sont généralement dénommées "m-Sequences" 15 et respectent une récurrence linéaire dont la caractéristique polynomiale est primitive. De telles séquences sont par exemple décrites dans l'ouvrage "Finite Fields For Computer Scientists And Engineers" de Robert J.Mc Eliece publié chez Kluwer Academic Publishers en 1995.

20 Un inconvénient des générateurs de signaux électriques PRBS actuels est lié aux applications haut débit, c'est-à-dire de plusieurs dizaines de gigabits/s. La réalisation de circuits logiques et notamment de bascules rapides requiert des technologies particulièrement coûteuses. En pratique, au delà de 10 à 25 20 gigabits/s, on doit utiliser des multiplexeurs pour mélanger des signaux déphasés entre eux selon une technique ETDM (Electrical Time Division Multiplexing), dont le nombre d'entrées (donc la complexité) est lié au facteur d'accélération souhaité. Cette solution requiert en outre de générer, en parallèle, tous les 30 signaux déphasés.

Dans une réalisation optique, il n'existe aujourd'hui pas d'équipement permettant d'atteindre des débits supérieurs à 48 gigabits par seconde, sauf à avoir recours à des multiplexeurs de type OTDM (Optical Time Division Multiplexing) 35 dont le nombre est lié au facteur d'accélération souhaité.

La présente invention vise à proposer une nouvelle technique de génération de trains de bits aléatoires qui permette d'atteindre des débits élevés. Selon un premier aspect, l'invention vise à réduire le nombre d'éléments électroniques utilisés pour la génération du flux. L'invention vise notamment à permettre une réduction du nombre de composants rapides d'un générateur à registres à décalage, ou le recours à un simple multiplexeur à deux entrées.

L'invention vise également à proposer une solution qui soit compatible avec une génération électronique et/ou optique.

Le document US-A-4 545 024 décrit un générateur de nombres aléatoires dans lequel un flux de bits de sortie retardé est combiné à un flux de bits d'entrée. Les deux flux ne sont pas identiques. La fréquence du flux de sortie est inférieure ou égale à celle du flux d'entrée. En outre, ce document exclut l'utilisation d'un flux d'entrée pseudo-aléatoire.

Pour atteindre ces objets ainsi que d'autres, l'invention prévoit un procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire, généré à une première fréquence d'horloge relativement basse, en un flux de bits de sortie identique à une deuxième fréquence d'horloge relativement élevée, consistant :

à prélever le flux de bits de sortie ;

à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et

à combiner le flux retardé avec le flux de bits d'entrée.

Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi pour respecter la relation suivante :

$$30 \quad \tau = 2^l T_1 - T_0,$$

où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bits de sortie, et où l est un nombre entier fixant un paramètre de décimation.

Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi respecter la relation suivante :

$$\tau = (2k+1) * (2^{n-1}) * T_0,$$

où k représente un entier quelconque, et où n représente le
5 degré du polynôme irréductible de la séquence aléatoire.

Selon un mode de mise en oeuvre de la présente invention, les nombres k et ℓ respectent la relation suivante :

$$(2k+1) * (2^{n-1}) + 1 = p2^\ell,$$

où p est le facteur d'accélération souhaité.

10 L'invention prévoit également un circuit d'accélération d'un flux de bits initial généré à une première fréquence relativement basse, en un flux de bit identique accéléré à une deuxième fréquence relativement élevée, comportant un combineur dont une première entrée reçoit le flux de bits initial et dont
15 une sortie fournit le flux accéléré, une deuxième entrée du combineur étant reliée par un élément retardateur à la sortie du combineur.

20 Selon un mode de réalisation de la présente invention, un élément de remise en forme à la fréquence élevée est prévu en sortie du combineur.

Selon un mode de réalisation de la présente invention, un élément déphasageur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur.

25 Selon un mode de réalisation de la présente invention, le flux de bits initial est obtenu par un générateur à bascules.

Selon un mode de réalisation de la présente invention, le circuit est réalisé par des moyens optiques et/ou électriques.

30 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1 à 3 qui ont été décrites précédemment sont destinées à exposer l'état de la technique et le problème posé ;

la figure 4 représente, de façon très schématique et 5 sous forme de blocs, un mode de réalisation d'un dispositif d'accroissement de débit d'un flux aléatoire selon la présente invention ;

la figure 5 illustre le fonctionnement d'un dispositif d'augmentation de débit selon l'invention ; et

10 la figure 6 illustre, de façon très schématique et sous forme de blocs, un mode de réalisation d'un générateur haut débit selon l'invention.

Les mêmes éléments ont été désignés par les mêmes références aux différentes figures. Pour des raisons de clarté, 15 seuls les éléments qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, la réalisation pratique des circuits électroniques exploités par l'invention n'a pas été détaillée quand il s'agit de mettre en oeuvre des dispositifs en eux-mêmes 20 connus. De plus, l'invention sera décrite par la suite en relation avec une application à des dispositifs électroniques mais elle s'applique également à des dispositifs optiques, électro-optiques, ou optoélectroniques.

Une caractéristique de la présente invention est de 25 générer un flux de bits pseudo aléatoire à une première fréquence d'horloge inférieure à la fréquence d'horloge souhaitée, et de combiner ce flux initial avec le flux de sortie retardé d'une quantité choisie, pour obtenir en sortie un flux à la fréquence plus élevée.

30 Le retard choisi pour recombiner le flux de bits de sortie avec le flux de bits généré à bas débit est choisi pour correspondre à la longueur totale de la séquence visée ($2^n - 1$) multipliée par la période de l'horloge à haut débit et par un entier impair quelconque. En d'autres termes, en notant τ le 35 retard apporté par la ligne retardant le flux de bits sortant

avant combinaison avec le flux de bits entrant, n le degré du polynôme irréductible correspondant à la séquence aléatoire visée, T_0 la période de l'horloge à haut débit et T_1 la période de l'horloge du bas débit entrant, le retard τ est choisi pour
5 respecter la formule suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0, \text{ où } k \text{ représente un entier quelconque,}$$

et où $(2^n - 1)$ correspond au nombre de bits de la séquence aléatoire.

La figure 4 illustre, de façon très schématique et
10 sous forme de blocs, un mode de réalisation d'un circuit accélérateur selon l'invention. Un tel circuit exploite en entrée un flux de bits aléatoire PRBS(T_1) à une première fréquence relativement basse, et est chargé de fournir un flux de bits pseudo aléatoire PRBS(T_0) à une fréquence relativement
15 élevée. On désignera par la suite par p , le facteur d'accélération ($p = T_1/T_0$). Un combiné 40 (COMB) reçoit en entrée le flux basse fréquence et le flux de bits de sortie après qu'il ait traversé une ligne à retard 41 de valeur τ .

La présente invention tire profit du fait qu'il est
20 possible de générer un flux à un débit relativement bas et de combiner ce flux avec le même flux retardé d'une période adéquate pour obtenir un train de bits pseudo aléatoire de débit plus élevé. Ainsi, il est possible d'utiliser un générateur de débit inférieur, donc moins onéreux, pour obtenir le flux PRBS
25 (T_1) initial.

Le seul élément qui selon l'invention doit fonctionner à haut débit est le combiné 40 (et les éléments en aval éventuels).

L'invention peut être mise en oeuvre par un circuit en
30 portes logiques à la condition que le rapport cyclique des impulsions du train de bits d'entrée soit choisi de sorte que la durée d'un état haut soit inférieure ou égale à la durée d'un bit du flux de sortie, c'est-à-dire à la période T_0 . En fait, si cette durée d'état haut est inférieure à la condition pré-citée,
35 on peut générer une sortie de type RZ, c'est-à-dire avec retour

à zéro. Si la durée (largeur) d'état haut est égale au temps de bit final, la sortie est de type NRZ, c'est-à-dire sans retour à zéro.

La figure 5 illustre le fonctionnement d'un accélérateur selon l'invention. Cette figure représente, sous forme de chronogrammes, un flux de bits initial 51 et un flux de bits final 52 après application du procédé d'accélération de l'invention. On suppose ici un flux initial A, B, C, D, E, F, et G de longueur $2^{n-1} = 7$ bits et de polynôme irréductible $x^3 + x + 1$ de degré $n = 3$. Le retard apporté par la ligne 41 est choisi pour correspondre à $2^\ell T_1 - T_0$ avec $\ell = 2$.

Le paramètre ℓ est lié au facteur d'accélération (p) par la relation suivante :

(2k+1)*(2ⁿ⁻¹) + 1 = p 2^ℓ , et fixe le paramètre de décimation (2^ℓ) choisi. On pourra se référer à l'ouvrage de Robert J.Mc Eliece déjà mentionné pour le choix de ce paramètre.

On voit qu'à l'issue d'une durée correspondante au retard τ , le flux de bits aléatoire 52 présent en sortie de l'accélérateur correspond à un flux de fréquence double par rapport à la fréquence du flux initial 51.

De plus, le flux est identique, c'est-à-dire que la séquence de sortie est égale à la séquence d'entrée. Par exemple, en supposant que la séquence d'entrée <ABCDEFG> est égale à <1110100>, on voit que la séquence de sortie <AEBFCGD> est bien égale à <1110100>.

L'exemple de la figure 5 a été pris de façon simplifiée pour un doublement de fréquence. On notera toutefois que le nombre p peut être choisi pour donner un flux de bits d'un multiple de période supérieur à deux par rapport au flux initial. La seule condition à respecter est que le retard τ corresponde à un multiple entier de la période T_0 , c'est-à-dire à une valeur $2^\ell T_1 - T_0$, pour obtenir une séquence de sortie identique à celle d'entrée (au débit près), et dont les impulsions à l'état haut sont de durée inférieure ou égale à T_0 .

La figure 6 illustre un mode de réalisation d'un accélérateur selon l'invention, associé à un générateur de flux pseudo aléatoire.

Le générateur 60 est un générateur d'impulsions modulées 5 à un débit relativement bas commandé par un signal d'horloge de fréquence f_1 . La sortie de ce générateur est envoyée sur une entrée E2 d'un combineur 40 (COMB) dont l'autre entrée reçoit la sortie de la ligne en retard 41 apportant un retard τ à un signal qu'elle prélève sur le flux PRBS(T_0) de sortie. Ce flux 10 PRBS(T_0) peut être fourni en pratique par un circuit 42 de régénération (REGEN) chargé de mettre en forme, à la fréquence $f_0 > f_1$, la sortie du combineur 40. Bien entendu, les fréquences f_1 et f_0 sont synchronisées (par exemple, au moyen d'un circuit 15 61 (SYNCH)).

15 Selon un autre mode de réalisation, on utilise un multiplexeur à deux entrées en guise de combineur (40). Le signal d'entrée à bas débit PRBS(T_1) est alors appliqué sur l'entrée de sélection du multiplexeur tandis que ses deux entrées de données reçoivent respectivement la sortie de la 20 ligne à retard (41) et un niveau haut constant.

On notera qu'à la différence des techniques classiques ETDM ou OTDM qui utilisent des répliques retardées d'un signal d'entrée, l'invention réalise une boucle à recirculation dans laquelle le retard est appliqué à un signal prélevé en sortie.

25 En pratique, les entrées E1 et E2 du combineur doivent recevoir des signaux en phase. Par exemple, on prévoit un élément de type déphaseur (de préférence, ajustable) entre le générateur 60 (ou intégré à ce dernier) et le combineur 40 pour mettre en phase les signaux appliqués aux entrées E1 et E2.

30 La description qui précède a été faite en relation avec une réalisation au moyen de circuits électroniques. On notera toutefois qu'une réalisation complètement ou partiellement optique de l'invention est possible. Par exemple, on peut utiliser une source optique de quelques gigabits/s, voire quelques 35 dizaine de gigabits/s, que l'on soumet à un accélérateur selon

l'invention. Un tel accélérateur peut être obtenu en séparant le flux de bits initial par un séparateur, l'une des voix étant affectée d'un retard choisi comme pour la version électronique.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la réalisation pratique d'une ligne à retard pour la mise en oeuvre de l'invention, que ce soit par des technologies électroniques ou optiques, est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus. Par exemple, on pourra faire appel à des techniques optiques et/ou électriques au sein du circuit accélérateur (modulateur optique commandé électriquement, photodiode associée à un laser, etc.). De plus, l'exploitation des flux à haut débit générés par l'invention est compatible avec toutes les applications classiques.

REVENDICATIONS

1. Procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire (PRBS(T_1)), généré à une première fréquence d'horloge (f_1) relativement basse, en un flux de bits de sortie identique (PRBS(T_0)) à une deuxième fréquence d'horloge (f_0) relativement élevée, caractérisé en ce qu'il consiste :
- à prélever le flux de bits de sortie ;
 - à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et
 - à combiner le flux retardé avec le flux de bits d'entrée.
2. Procédé selon la revendication 1, dans lequel le retard τ est choisi pour respecter la relation suivante :
- $$\tau = 2^\ell T_1 - T_0,$$
- où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bit de sortie, et où ℓ est un nombre entier fixant un paramètre de décimation.
3. Procédé selon la revendication 1 ou 2, dans lequel le retard τ est choisi pour respecter la relation suivante :
- $$\tau = (2k+1) * (2^n-1) * T_0,$$
- où k représente un entier quelconque, et où n représente le degré du polynôme irréductible de la séquence aléatoire.
4. Procédé selon les revendications 2 et 3, dans lequel les nombres k et ℓ respectent la relation suivante :
- $$(2k+1) * (2^n-1) + 1 = p2^\ell,$$
- où p est le facteur d'accélération souhaité.
5. Circuit d'accélération d'un flux de bits pseudo-aléatoire initial (PRBS(T_1)) généré à une première fréquence (f_1) relativement basse, en un flux de bit identique (PRBS(T_0)) accéléré à une deuxième fréquence (f_0) relativement élevée, caractérisé en ce qu'il comporte un combineur (40) dont une première entrée reçoit le flux de bits initial et dont une sortie fournit le flux accéléré, une deuxième entrée du

combineur étant reliée par un élément retardateur (41) à la sortie du combineur.

6. Circuit selon la revendication 5, dans lequel un élément (42) de remise en forme à la fréquence élevée est prévu 5 en sortie du combineur.

7. Circuit selon la revendication 5 ou 6, dans lequel un élément déphaseur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur (42).

8. Circuit selon l'une quelconque des revendications 5 10 à 7, dans lequel le flux de bits initial est obtenu par un générateur à bascules.

9. Circuit selon l'une quelconque des revendications 5 à 7, réalisé par des moyens optiques et/ou électroniques.

10. Circuit selon l'une quelconque des revendications 5 15 à 9, dans lequel le retard appliqué par ledit élément retardateur (41) est choisi par la mise en oeuvre du procédé de l'une quelconque des revendications 2 à 4.

1/2

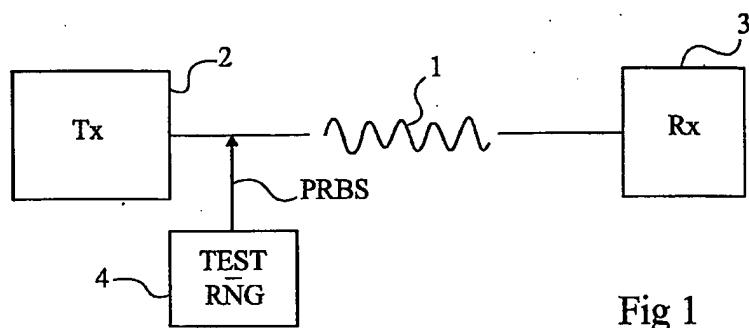


Fig 1

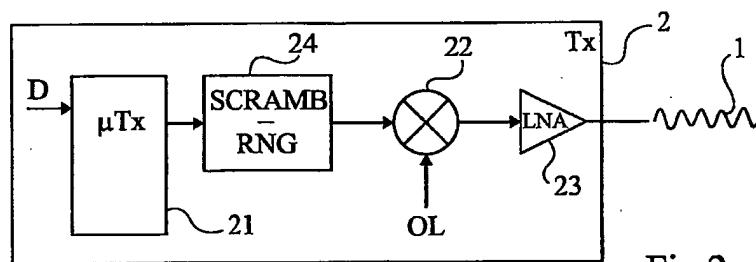


Fig 2

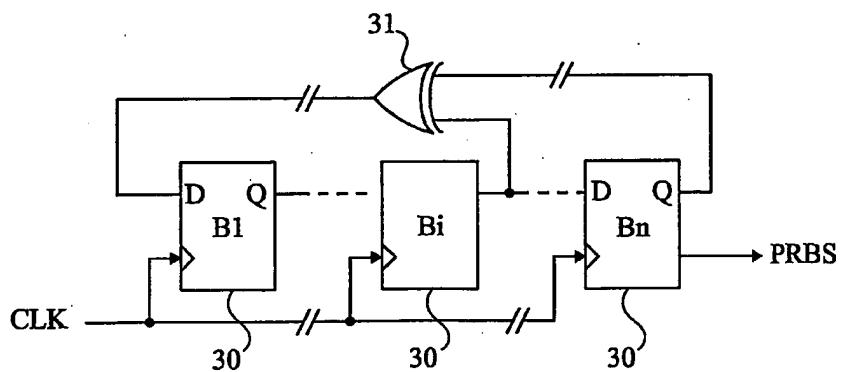


Fig 3

2/2

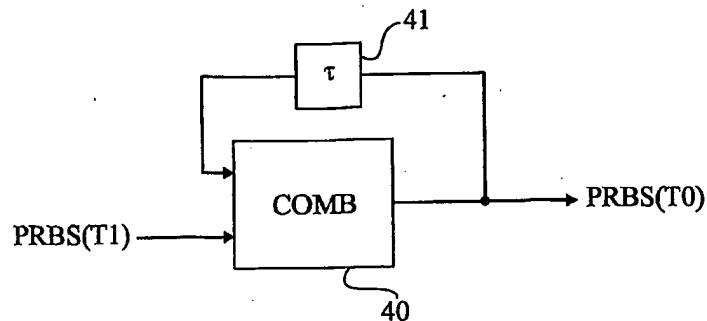


Fig 4

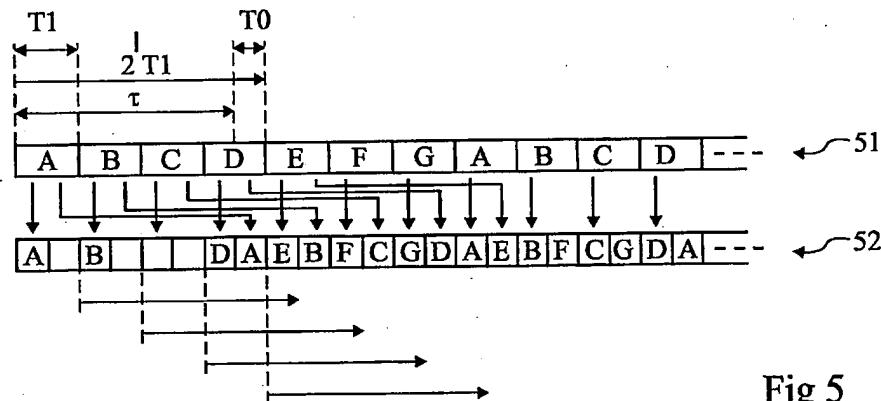


Fig 5

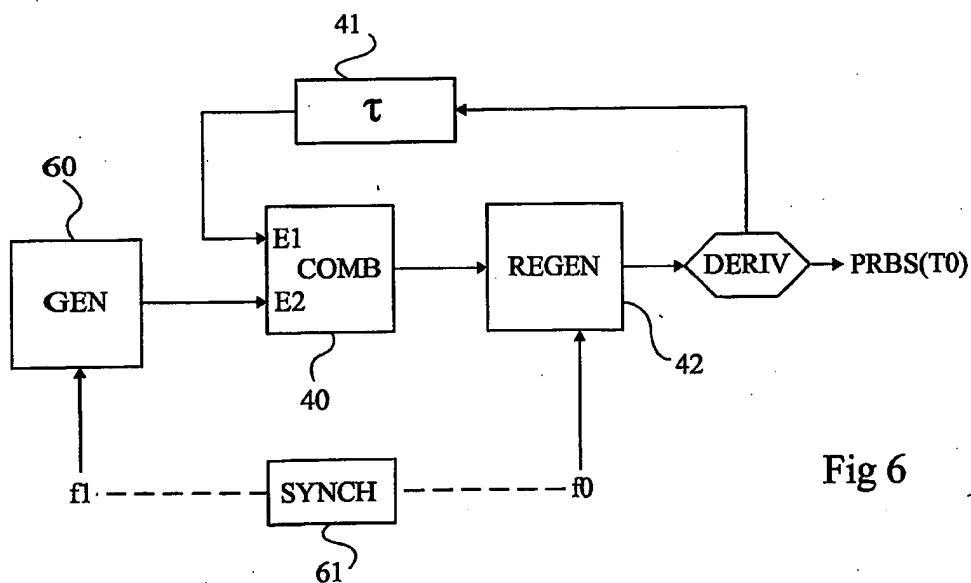


Fig 6

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR2005/050058

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H03K3/84

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H03K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERÉS COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 01/37441 A (MASSACHUSETTS INST TECHNOLOGY) 25 mai 2001 (2001-05-25) page 4, ligne 15 – page 25, ligne 19; figures 1,15,16,20	1-10
A	US 4 545 024 A (MAHER DAVID P ET AL) 1 octobre 1985 (1985-10-01) colonne 1, ligne 5 – colonne 5, ligne 22; figure 1	1-10
A	US 5 153 532 A (ALBERS STEVEN C ET AL) 6 octobre 1992 (1992-10-06) colonne 1 – colonne 5, ligne 45; figure 2	1-10
A	US 3 657 718 A (O'FARRELL FRANCIS J) 18 avril 1972 (1972-04-18) le document en entier	1-10



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 juin 2005

Date d'expédition du présent rapport de recherche internationale

06/07/2005

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Fonctionnaire autorisé

García Bolos, R

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs

membres de familles de brevets

Demande Internationale No

PCT/FR2005/050058

Document brevet cité au rapport de recherche	Date de publication		Membre(s) de la famille de brevet(s)		Date de publication
WO 0137441	A	25-05-2001	AU 1610601 A		30-05-2001
			WO 0137441 A2		25-05-2001
			US 6724805 B1		20-04-2004
US 4545024	A	01-10-1985	AUCUN		
US 5153532	A	06-10-1992	AUCUN		
US 3657718	A	18-04-1972	DE 2131783 A1		13-01-1972
			ES 392683 A1		01-08-1973